.

Journal of Safe City

Online ISSN: 2676-556X

Journal Homepage: www.ispdrc.ir

Research Paper

Enhanced Computational Efficiency for Critical Infrastructure Resilience: A QCA-Based Approach

Atoosa Kameli [a], Roshanak Rafiei Nazari [b], Razieh Farazkish [a]

[a.] *Department of Computer Engineering, ST.C., Islamic Azad University, Tehran, Iran*
[b.] *Department of Physics, ST.C., Islamic Azad University, Tehran, Iran*

Received:21 March 2026 Received in revised form: 16 May 2026 Accepted: 13 June 2026 p.p: 270-291

https://doi.org/10.22034/scj.2026.2104973.1275

A B S T R A C T

Critical infrastructures such as power grids, water networks, transportation control and emergency communications depend on embedded processing units that must remain operational under limited or backup energy. This study develops a compact, low-power arithmetic building block for such systems: a one-bit quantum-dot cellular automata (QCA) full adder obtained by extending the optimized 12-cell three-input XOR (XOR3) gate proposed in the authors' previous work. The XOR3 structure is retained unchanged for SUM generation, while a three-input majority gate, fed through two-cell inverting interconnections, produces the carry. The layout was designed and simulated in QCADesigner 2.0.3 with the bistable engine, and the carry path was verified by an electrostatic potential-energy analysis following the method of Farazkish and co-workers. The layout contains 23 conventional cells in a single layer without rotated cells or wire crossings, occupies 174 nm × 151 nm (26,274 nm² ≈ 0.026 µm²) and has a latency of 0.5 clock cycle. Simulation confirms the full-adder truth table with output polarizations of about ±0.888 (SUM) and ±0.881 (carry), and the energy analysis confirms the correct majority decision of the carry cell for all eight input combinations. Compared with recent 2025–2026 designs, the circuit offers a competitive balance of cell count, area and planar routing, although some designs report fewer cells or lower latency. The main contribution is a crossover-free, single-layer translation of a previously validated XOR3 gate into a complete arithmetic cell that can serve as a building block for low-power, compact processors in resilient critical-infrastructure systems.

*Keywords:*Quantum-dot cellular automata (QCA), Full adder, Three-input XOR, Majority gate, Single-layer design, Critical infrastructure.

Corresponding author (Email: r_rafieinazari@iau.ac.ir)

Extended Abstract

Introduction

Critical infrastructures such as power distribution, water networks, transportation control and emergency communications rely on embedded processors for monitoring and control, and these processors must remain functional when energy is scarce or supplied by backup sources. Hardware with very low power dissipation, small area and simple fabrication therefore supports infrastructure resilience. Quantum-dot cellular automata (QCA) is a transistor-less nanocomputing paradigm in which binary information is represented by cell polarization and propagated through Coulombic interaction without current flow, which makes it a promising candidate for such processors. The one-bit full adder is a key arithmetic block, because its area, delay and reliability directly influence ripple-carry adders, arithmetic logic units and other datapath structures. However, many compact QCA full adders achieve low cell counts only through multilayer crossings or rotated cells, which complicates fabrication. In our previous study, an optimized 12-cell three-input XOR (XOR3) gate based on half-distance placement and explicit cell interaction was proposed and verified by simulation and by a physical proof. The present study examines whether this gate can be turned, without structural change, into a complete single-layer, crossover-free full adder that remains competitive with recent designs. Its new contributions are the full-adder architecture and layout, the simulation results, the physical proof of the carry path and a systematic comparison with 2025–2026 designs.

Methodology

The logical architecture follows SUM = A ⊕ B ⊕ Cin and Cout = M(A, B, Cin). The XOR3 block of the earlier work is retained unchanged for SUM, while a three-input majority gate produces the carry. Inputs A and B reach the majority gate through two consecutive two-cell interconnections, a half-cell-shifted pair and a diagonal pair, each of which inverts the signal, so that both inputs arrive in their true form. The final layout contains 23 conventional, non-rotated cells (three inputs, two outputs and eighteen ordinary cells) in a single layer without wire crossings; five cells are assigned to Clock 0, nine to Clock 1 and nine to Clock 2. The circuit was simulated in QCADesigner 2.0.3 with the bistable engine (12,800 samples, convergence tolerance 0.001, radius of effect 65 nm, relative permittivity 12.9, clock high 9.8×10^{-22} J, clock low 3.8×10^{-23} J, clock amplitude factor 2, 100 iterations per sample, 18 nm cells with 5 nm dots on a 20 nm pitch). Area was measured as the bounding rectangle of all cells, and latency was obtained from the number of clock zones between the inputs and the outputs. The carry path was further verified with the potential-energy method of Farazkish and co-workers, in which the Coulomb energy between electrons is summed for both polarization states of a cell and the lower-energy state is taken as the stable one.

Results and discussion

The layout occupies 174 nm × 151 nm, i.e., 26,274 nm² ≈ 0.026 µm² (displayed by QCADesigner as 0.03 µm²). Since the inputs are in Clock 0 and both outputs in Clock 2, the latency is 0.5 clock cycle and the area–delay product is about 0.013 µm²·cycle. The waveforms confirm all eight rows of the full-adder truth table, with polarization magnitudes of about ±0.888 for SUM and ±0.881 for carry. The energy analysis shows that for A = 1, B = 1 and Cin = 0 the carry cell has a total potential energy of 22.09×10^{-20} J in the logic-1 state and 31.80×10^{-20} J in the logic-0 state, so logic 1 is stable; the same analysis yields the correct majority output for all eight input combinations. Compared with the 2026 planar design of Bhuvaneswari and Yuvaraj (36 cells, 0.04 µm², 0.75 cycle), the proposed adder uses 36.1% fewer cells, about 35% less area and a lower latency. Relative to the single-layer design of Abdullah-Al-Shafi (46 cells, 0.04 µm², 0.25 cycle), it halves the cell count and reduces the area by about 35%, but it is slower. The three-layer design

of Seyedi and co-workers (21 cells, 0.02 μm², 0.5 cycle) and the 14-cell adder/subtractor of Majeed are more compact, although the former relies on a multilayer structure. The main advantages of the present design are thus its single-layer, crossover-free implementation with conventional cells, its strong output polarization and the direct reuse of a validated XOR3 gate, whereas its main limitations are the absence of energy-dissipation and fault-tolerance analyses.

Conclusion

A compact single-layer QCA full adder has been developed as a circuit-level continuation of the authors' earlier three-input XOR research. The design uses 23 conventional cells, occupies 0.026 μm², has a latency of 0.5 clock cycle and produces strongly polarized outputs; its correct operation was confirmed both by simulation and by a physical energy analysis of the carry path. The circuit can serve as a building block for low-power, compact processing units in resilient critical-infrastructure systems. Future work should quantify energy dissipation with QCADesigner-E or QCAPro, study robustness against cell omission, displacement and temperature variation, and extend the design to multi-bit ripple-carry adders.

Keywords: Quantum-dot cellular automata (QCA), Full adder, Three-input XOR, Majority gate, Single-layer design, Critical infrastructure.

Funding

This research received no specific funding.

Authors' Contribution

Authors contributed equally to the conceptualization and writing of the article. All of the authors approved the content of the manuscript and agreed on all aspects of the work declaration of competing interest none.

Conflict of Interest

Authors declared no conflict of interest.

Acknowledgments

We are grateful to all the scientific consultants of this paper.

نشریه علمی شهـــر ایمـــن

شاپا الکترونیکی: 2676-556X

Journal Homepage: www.ispdrc.ir

مقاله پژوهشی

ارتقای کارایی محاسباتی برای تاب‌آوری زیرساخت‌های حیاتی: رویکردی مبتنی بر QCA

آتوسا کاملی [1] روشنک رفیعی نظری [2] راضیه فرازکیش [1]

[1] گروه مهندسی کامپیوتر، واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران

[2] گروه فیزیک، واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران

تاریخ ارسال: ۱۴۰۵/۰۱/۰۱ تاریخ بازنگری: ۱۴۰۵/۰۲/۲۶ تاریخ پذیرش: ۱۴۰۵/۰۳/۲۵ ص.ص ۲۹۱-۲۷۰

https://doi.org/10.22034/scj.2026.2104973.1275

چکیده

زیرساخت‌های حیاتی مانند شبکه‌های برق و آب، کنترل حمل‌ونقل و ارتباطات اضطراری به واحدهای پردازشی نهفته‌ای وابسته‌اند که باید با انرژی محدود یا پشتیبان نیز کار کنند. این پژوهش یک بلوک حسابی فشرده و کم‌مصرف برای چنین سامانه‌هایی ارائه می‌کند: یک تمام‌جمع‌کننده یک‌بیتی مبتنی بر اتوماتای سلولی نقطه‌کوانتومی (*QCA*) که از توسعه گیت *XOR* سه‌ورودی (*XOR3*) بهینه‌شده ۱۲ سلولی پژوهش پیشین نگارندگان به دست آمده است. ساختار *XOR3* بدون تغییر برای تولید خروجی جمع (*SUM*) حفظ شده و یک گیت اکثریت سه‌ورودی که از طریق اتصال‌های معکوس‌کننده دوسلولی تغذیه می‌شود، رقم نقلی (*Carry*) را تولید می‌کند. چیدمان در *QCADesigner 2.0.3* با موتور دوپایا طراحی و شبیه‌سازی شده و مسیر رقم نقلی با تحلیل انرژی پتانسیل به روش *Farazkish* و همکاران اثبات شده است. چیدمان شامل ۲۳ سلول متداول در یک لایه، بدون سلول چرخیده و تقاطع سیم است، ابعاد آن ۱۷۴ × ۱۵۱ نانومتر (حدود ۰.۰۲۶ میکرومتر مربع) و تأخیر آن ۰.۵ سیکل کلاک است. شبیه‌سازی، جدول درستی تمام‌جمع‌کننده را با قطبش خروجی حدود ۰.۸۸۸± برای *SUM* و ۰.۸۸۱± برای *Carry* تأیید می‌کند و تحلیل انرژی، عملکرد درست رقم نقلی را برای هر هشت ترکیب ورودی نشان می‌دهد. در مقایسه با طرح‌های ۲۰۲۵ و ۲۰۲۶، مدار توازن رقابتی میان تعداد سلول، مساحت و مسیریابی هم‌صفحه دارد، هرچند برخی طرح‌ها سلول یا تأخیر کمتری گزارش کرده‌اند. سهم اصلی پژوهش، تبدیل تک‌لایه و بدون تقاطع یک *XOR3* اعتبارسنجی‌شده به یک سلول حسابی کامل است که می‌تواند بلوک پایه پردازنده‌های کم‌مصرف و فشرده در سامانه‌های تاب‌آور زیرساخت‌های حیاتی باشد.

واژگان کلیدی :اتوماتای سلولی نقطه‌کوانتومی (QCA)، تمام‌جمع‌کننده، XOR سه‌ورودی، گیت اکثریت، طراحی تک‌لایه، زیرساخت حیاتی

* نویسنده مسئول: r_rafieinazari@iau.ac.ir

۱-مقدمه

با نزدیک‌شدن فناوری *CMOS* به محدودیت‌های مقیاس‌پذیری، چالش‌هایی مانند جریان نشتی، توان تلفاتی و پیچیدگی کنترل الکترواستاتیکی در ابعاد بسیار کوچک، توجه پژوهشگران را به معماری‌های پس از *CMOS* جلب کرده است. *QCA* یکی از این رویکردهاست که اطلاعات دودویی را به‌جای جریان بار، با قطبش سلول و برهم‌کنش کولنی میان سلول‌های مجاور نمایش و منتقل می‌کند. در این فناوری، سیم *QCA*، معکوس‌کننده و گیت اکثریت از اجزای پایه برای ساخت مدارهای ترکیبی هستند *(Majeed, 2025; Abdullah-Al-Shafi, 2025)*.

زیرساخت‌های حیاتی مانند شبکه‌های توزیع برق و آب، سامانه‌های کنترل حمل‌ونقل و ارتباطات اضطراری، برای پایش، کنترل و تصمیم‌گیری به‌طور فزاینده‌ای به واحدهای پردازشی نهفته وابسته‌اند. پژوهش‌های اخیر در حوزه تاب‌آوری شهری نشان می‌دهند که ارزیابی و ارتقای تاب‌آوری در برابر مخاطراتی مانند انفجار و زلزله بر مدل‌های محاسباتی داده‌محور و روش‌های تصمیم‌گیری چندمعیاره تکیه دارد (*Bitarafan & Nemati, 2026; Bitarafan et al., 2026; Nemati et al.,2026;*). اجرای پیوسته چنین مدل‌ها و سامانه‌های پایشی در شرایط بحران، به سخت‌افزاری نیاز دارد که با انرژی محدود یا منابع پشتیبان نیز کار کند، ابعاد کوچکی داشته باشد و حرارت کمتری تولید کند. از منظر پدافند غیرعامل نیز کاهش وابستگی سامانه‌های پردازشی به منابع انرژی پرمصرف، یکی از راهکارهای حفظ پایداری عملکرد زیرساخت‌ها در شرایط اضطراری است. فناوری *QCA* به دلیل عدم نیاز به جریان الکتریکی برای انتقال اطلاعات، اتلاف توان بسیار کم و چگالی بالا، گزینه‌ای بالقوه برای پردازنده‌های آینده چنین سامانه‌هایی است؛ بنابراین طراحی بلوک‌های حسابی فشرده و قابل‌اعتماد در این فناوری، گامی در مسیر سخت‌افزار کم‌مصرف برای سامانه‌های تاب‌آور به شمار می‌رود.

تمام‌جمع‌کننده از مهم‌ترین اجزای مسیر داده، واحد حساب و منطق، ضرب‌کننده‌ها و ساختارهای جمع چندبیتی است. در *QCA*، معیارهای اصلی ارزیابی یک تمام‌جمع‌کننده شامل تعداد سلول، مساحت، تأخیر، نوع و تعداد تقاطع سیم، تعداد لایه‌ها، قابلیت ساخت و در پژوهش‌های جدیدتر، انرژی تلفاتی و تحمل‌پذیری خطا است. طی سال‌های اخیر دو مسیر طراحی غالب مشاهده می‌شود: طراحی مبتنی بر شبکه‌های *Majority/Inverter* و طراحی مبتنی بر *XOR*های فشرده که از برهم‌کنش مستقیم سلول‌ها یا فاصله نیم‌سلولی استفاده می‌کنند.

در پژوهش قبلی نگارندگان، یک ساختار *XOR* سه ورودی ۱۲ سلولی مبتنی بر *half-distance* و *cell interaction* پیشنهاد شد و نشان داده شد که چنین بلوکی می‌تواند برای ایجاد مدارهای پیچیده‌تر مانند تمام‌جمع‌کننده به کار رود. *(Kameli et al., 2025)* پژوهش حاضر ادامه مستقیم همان کار است: ساختار *XOR* سه ورودی برای تولید *Sum* بدون تغییر اساسی حفظ شده و شاخه *Carry* با منطق اکثریت سه‌ورودی به آن افزوده شده است. تمرکز اصلی بر دستیابی به یک چیدمان تک‌لایه، بدون تقاطع سیم و بدون سلول چرخیده با کلاک‌گذاری پایدار است.

بیان مسئله: با وجود طرح‌های متعدد تمام‌جمع‌کننده در *QCA*، بسیاری از ساختارهای فشرده برای دستیابی به تعداد سلول کم از چندلایه‌سازی، تقاطع سیم یا سلول‌های چرخیده استفاده می‌کنند که پیچیدگی ساخت و حساسیت به نقص را افزایش می‌دهد؛ در مقابل، طرح‌های تک‌لایه معمولاً به سلول و مساحت بیشتری نیاز دارند. مسئله این پژوهش آن است که آیا می‌توان با بهره‌گیری از یک گیت *XOR* سه‌ورودی ازپیش‌بهینه‌شده، تمام‌جمع‌کننده‌ای طراحی کرد که هم‌زمان تک‌لایه، بدون تقاطع سیم و بدون سلول چرخیده باشد و از نظر تعداد سلول، مساحت و تأخیر با طرح‌های جدید رقابت کند. بر این اساس، پرسش‌های پژوهش عبارت‌اند از: (۱) چگونه می‌توان *XOR* سه‌ورودی پیشین را بدون تغییر ساختار با یک شاخه اکثریت برای تولید رقم نقلی ادغام کرد؟ (۲) درستی عملکرد طرح حاصل از منظر شبیه‌سازی و از منظر فیزیکی چگونه اثبات می‌شود؟ و (۳) طرح پیشنهادی در مقایسه با تمام‌جمع‌کننده‌های گزارش‌شده در سال‌های ۲۰۲۵ و ۲۰۲۶ چه جایگاهی دارد؟

نوآوری و دستاوردهای مقاله: در پژوهش پیشین (*Kameli et al., 2025*) تنها گیت *XOR* سه‌ورودی ۱۲ سلولی، شبیه‌سازی و اثبات فیزیکی آن ارائه شده بود و این مطالب در بخش ۴-۱ صرفاً برای کامل‌بودن بحث و با ذکر منبع مرور می‌شوند. موارد زیر برای نخستین بار در این مقاله ارائه شده‌اند: (۱) معماری تمام‌جمع‌کننده مبتنی بر ادغام *XOR3* پیشین با یک گیت اکثریت سه‌ورودی و دو اتصال معکوس‌کننده دوسلولی؛ (۲) چیدمان ۲۳ سلولی تک‌لایه و بدون تقاطع و تخصیص نواحی کلاک آن؛ (۳) نتایج شبیه‌سازی تمام‌جمع‌کننده شامل شکل موج، قطبش خروجی‌ها، مساحت و تأخیر؛ (۴) اثبات فیزیکی مسیر رقم نقلی به روش

محاسبه انرژی پتانسیل؛ و (۵) مقایسه نظام‌مند طرح با تمام‌جمع‌کننده‌های سال‌های ۲۰۲۵ و ۲۰۲۶ و بحث درباره مزایا و محدودیت‌های آن.

۲- مبانی نظری QCA

۲-۱ سلول QCA و قطبش

هر سلول *QCA* متشکل از چند نقطه کوانتومی و دو الکترون متحرک است. به دلیل دافعه کولنی، دو حالت قطبش پایدار ایجاد می‌شود که به مقادیر منطقی صفر و یک نگاشت می‌شوند. انتقال اطلاعات در یک آرایه سلولی با تأثیر قطبش سلول‌های مجاور انجام می‌شود و در نتیجه، سیم *QCA* بدون جریان متعارف بار عمل می‌کند (*Tougaw & Lent, 1994; Lent & Tougaw, 1997*).

۲-۲ گیت اکثریت و کلاک

تابع گیت اکثریت سه‌ورودی به صورت $M(A,B,C)=AB+AC+BC$ تعریف می‌شود. با ثابت‌کردن یکی از ورودی‌ها روی صفر یا یک، این گیت به‌ترتیب نقش *AND* یا *OR* را ایفا می‌کند .کلاک *QCA* دارای چهار فاز *Switch*، *Hold*، *Release* و *Relax* است و نه‌تنها زمان‌بندی بلکه جهت انتشار اطلاعات و پایداری حالت‌ها را کنترل می‌کند. پژوهش‌های جدید نیز تأکید می‌کنند که کلاک‌گذاری نامناسب می‌تواند سبب خطای منطقی و انحراف خروجی شود .*(Sharma, 2025a)*

۳- پیشینه پژوهش و جایگاه کار حاضر

پژوهش‌های پایه در حوزه *QCA*، مفاهیم سلول، کلاک و طراحی گیت‌های منطقی پایه را تشریح کرده‌اند (*Mehta & Dhare, 2017; Kavitha & Kaulgud, 2017; Chetti & Yatgal, 2022*). بخش مهمی از مطالعات پیشین به کاهش تعداد سلول‌ها و طراحی معکوس‌کننده‌ها و گیت‌های اکثریت سه و پنج‌ورودی کارآمد اختصاص یافته است (*Farazkish et al., 2008; Farazkish & Khodaparast, 2010; Navi et al., 2010b; Farazkish & Navi, 2012; Farazkish, 2018a; Sasamal et al., 2018*) و گروهی دیگر، ساختارهای تحمل‌پذیر خطا را برای گیت‌ها، جمع‌کننده‌ها و مدارهای *QCA* بررسی کرده‌اند (*Farazkish, 2015, 2017a, 2017b, 2018b; Farazkish & Zarei, 2020; Riki et al., 2022*). طراحی تمام‌جمع‌کننده، به‌ویژه در قالب ساختارهای هم‌صفحه و تک‌لایه، یکی از پرکارترین مسیرهای پژوهشی این حوزه بوده است (*Rahimi Azghadi et al., 2007; Navi et al., 2010a; Sayedsalehi et al., 2011; Hashemi et al., 2012; Singh et al., 2017; Das, 2020; Moosavi et al., 2020; Patidar & Gupta, 2020; Danehdaran et al., 2021; Navaneetha Velammal et al., 2021; Vahabi et al., 2021a, 2021b; Ibtasaum & Savadi, 2022; Rezaei & Omidi, 2022; Vahabi et al., 2022; Jasmin & Ajita, 2023; Kumar et al., 2023; Chugh & Singh, 2024; Niranjan et al., 2025*) و مرور جامعی از این طرح‌ها در پژوهش *Joy* و همکاران (*2023*) ارائه شده است. همچنین ساختارهای متعددی برای گیت *XOR* دو و سه‌ورودی پیشنهاد شده‌اند (*Bahar et al., 2018; Jana et al., 2020; Safaiezadeh et al., 2021; Salih et al., 2022; Safaiezadeh et al., 2023; Bhuvaneswari & Yuvaraj, 2024*) و کاربرد *QCA* در مدارهایی مانند مالتی‌پلکسر، دی‌مالتی‌پلکسر، مقایسه‌گر و ثبات انتقالی نیز بررسی شده است (*Alkaldy et al., 2020; Afrooz & Navimipour, 2021; Begum et al., 2022; Kishore & Punyalaxmi, 2023; Sharma, 2023; Darbandi et al., 2024*).

Balali و همکاران *(2017)* از یک *XOR* سه ورودی مبتنی بر برهم‌کنش مستقیم سلول‌ها در کنار گیت اکثریت برای ساخت تمام‌جمع‌کننده استفاده کردند؛ در این معماری *Sum* از *XOR3* و *Carry* مستقیماً از *M(A,B,Cin)* حاصل می‌شود. این کار یکی از مراجع مهم برای معماری‌های *XOR3+Majority* است. در سال‌های *2025* و *2026*، پژوهش‌ها بر کاهش تعداد سلول، تک‌لایه‌سازی، حذف تقاطع سیم، کاهش تأخیر و تحلیل انرژی متمرکز شده‌اند.

Ahmadpour و همکاران (*2018*) نیز با یک *XOR* سه‌ورودی ده‌سلولی مبتنی بر برهم‌کنش سلولی، یک تمام‌جمع‌کننده تک‌لایه ۲۰ سلولی با سه فاز کلاک ارائه کردند که از نظر معماری، یعنی تولید مستقیم *Sum* با *XOR* سه‌ورودی، به طرح حاضر نزدیک است.

Majeed (2025) یک ساختار تمام‌جمع‌کننده/تفریق‌کننده فشرده ارائه کرد که در حالت جمع به ۱۴ سلول، مساحت تقریبی *0.009*میکرومترمربع و تأخیر *0.5* سیکل دست یافت. *Abdullah-Al-Shafi (2025)* یک تمام‌جمع‌کننده تک‌لایه با ۴۶ سلول، *0.04* میکرومتر مربع و تأخیر *0.25* سیکل گزارش کرد و انرژی را نیز با *QCADesigner-E*بررسی نمود. *Sharma (2025a)* یک *XOR3* هشت سلولی با تأخیر *0.5* سیکل معرفی کرد و کاربرد آن را در جمع‌کننده چهاربیتی نشان داد. *Sharma (2025b)* نیز روش انتقال سلولی را برای *XOR* و مدارهای جمع‌کننده به کار برد و تحلیل انرژی را با *QCAPro* ارائه کرد.

Bhuvaneswari و *Yuvaraj (2026)* یک تمام‌جمع‌کننده بدون تقاطع سیم با ۳۶ سلول، مساحت *0.04* میکرومترمربع و تأخیر *0.75*سیکل ارائه کردند. همچنین *Seyedi* و همکاران *(2026)* یک تمام‌جمع‌کننده سه لایه با *XOR* سه ورودی و اکثریت سه ورودی گزارش کردند که ۲۱ سلول، مساحت *0.02* میکرومتر مربع و تأخیر *0.5* سیکل دارد. این نتایج نشان می‌دهد که ادعای نوآوری در کار حاضر نباید صرفاً بر «استفاده از *XOR3+Majority* یا «کمترین تعداد سلول مطلق» استوار شود؛ بلکه سهم پژوهش، توسعه مستقیم *XOR3* قبلی نگارندگان به یک تمام‌جمع‌کننده تک‌لایه و بدون تقاطع سیم، با ۲۳ سلول و مساحت ۰.۰۲۶ میکرومتر مربع است.

در میان مطالعات جدید، *Reshi*، *Banday* و *Khanday (2025)* یک ساختار تک‌لایه برای جمع/تفریق مبتنی بر *XOR* سه ورودی و برهم‌کنش سلولی ارائه کرده‌اند که بدون سلول چرخیده و بدون تقاطع سیم طراحی شده و تحلیل انرژی آن با *QCADesigner-E* انجام شده است. *Malik (2025)* و *Hafeez، Bilal* نیز با تمرکز بر جمع‌کننده‌های سریع، یک تمام‌جمع‌کننده بسیار کم‌سلول را به‌عنوان بلوک پایه برای ساختارهای سریع *QCA*گزارش کرده‌اند. همچنین در دو مطالعه *Sharma (2025a, 2025b)* مستقل، هم *XOR* سه ورودی ۸ سلولی را برای مدارهای چندبیتی و هم یک *XOR* مبتنی بر انتقال سلولی را برای *Half Adder* و تمام‌جمع‌کننده بررسی کرده است. این روند در *2026* با کار *Bhuvaneswari* و *Yuvaraj* و نیز *Seyedi* و همکاران ادامه یافته و نشان می‌دهد که ترکیب *XOR* بهینه، منطق اکثریت، تک‌لایه بودن و کاهش تقاطع سیم همچنان محور اصلی پژوهش در مدارهای حسابی *QCA* است.

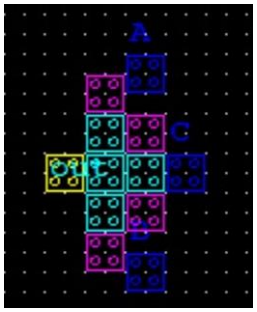
در حوزه تاب‌آوری زیرساخت‌ها نیز مطالعات جدید به‌طور فزاینده‌ای بر روش‌های محاسباتی و تصمیم‌گیری چندمعیاره تکیه دارند. *Bitarafan* و *Nemati* (*2026*) یک چارچوب یادگیری ماشین ترکیبی و تفسیرپذیر مبتنی بر جنگل تصادفی و *XGBoost* برای پیش‌بینی سطح آسیب ساختمان‌ها و زیرساخت‌های شهری در برابر اثرات انفجار ارائه کردند. *Bitarafan* و همکاران (*2026*) با توسعه روش فازی *RANCOM*، معیارهای مؤثر بر تاب‌آوری لرزه‌ای مناطق شهری را وزن‌دهی و در محیط *GIS* تحلیل کردند. همچنین پژوهش *Nemati* و همکاران (*2026*) به انتخاب مصالح برای ساختمان‌های تاب‌آور در برابر مخاطرات چندگانه با یک چارچوب پشتیبان تصمیم تفسیرپذیر و حساس به عدم‌قطعیت پرداخته اند. وجه مشترک این مطالعات، اتکای ارزیابی و مدیریت تاب‌آوری به پردازش داده، مدل‌های پیش‌بینی و تحلیل‌های چندمعیاره است که باید در سامانه‌های پایش و مدیریت بحران به‌صورت پیوسته و حتی در شرایط محدودیت انرژی اجرا شوند. پژوهش حاضر در سطح سخت‌افزار و با هدف ارائه بلوک‌های حسابی کم‌مصرف و فشرده برای چنین سامانه‌هایی، مکمل این مطالعات است و جایگاه آن در لایه فناوری پردازش سامانه‌های تاب‌آور تعریف می‌شود.

۴-روش پیشنهادی

۴-۱ ارتباط با گیت XOR سه ورودی پژوهش قبلی

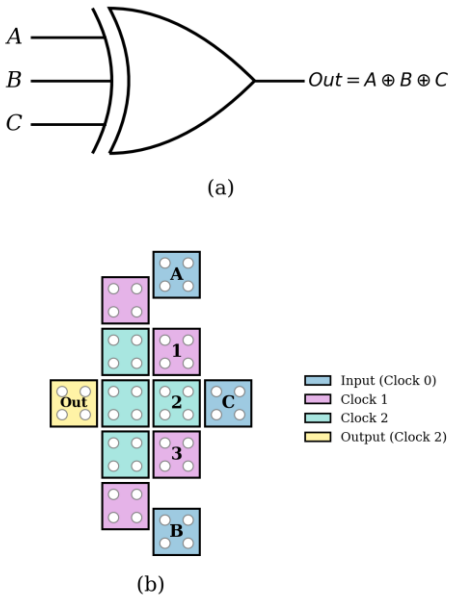
در پژوهش پیشین نگارندگان با عنوان " *Designing an optimized circuit based on QCA using a three-input XOR gate*" (*Kameli et al., 2025*)، پس از بررسی ساختارهای *XOR* دو و سه‌ورودی گزارش‌شده در مطالعات قبلی، گیت *XOR* سه‌ورودی *Balali* و همکاران (۲۰۱۷) مبنا قرار گرفت و طی دو مرحله اصلاح، به ساختاری ۱۲ سلولی رسید که دو سلول کمتر از طرح مبنا دارد. ایده اصلی این ساختار، بهره‌گیری از فاصله نیم‌سلولی (*half-distance*) و برهم‌کنش مستقیم سلول‌ها (*cell interaction*) به‌جای ترکیب صریح گیت‌های اکثریت و معکوس‌کننده است؛ به این ترتیب تابع *XOR* سه‌ورودی به‌صورت تک‌لایه، بدون سلول چرخیده و بدون تقاطع سیم پیاده‌سازی می‌شود.

چیدمان (*Layout*) این گیت در شکل ۱ نشان داده شده است. از ۱۲ سلول ساختار، سه سلول ورودی A، B و C، یک سلول خروجی Out و هشت سلول عادی هستند. ورودی‌های A و B به‌ترتیب در بالا و پایین ستون سمت راست و ورودی C در کنار سلول میانی قرار گرفته‌اند و خروجی از سمت چپ ساختار گرفته می‌شود. ورودی‌های A و B به اندازه نصف گام سلولی (۱۰ نانومتر) نسبت به سلول‌های ستون مجاور جابه‌جا شده‌اند و همین آرایش نیم‌فاصله‌ای، برهم‌کنش کولنی لازم برای تولید تابع XOR را فراهم می‌کند. کلاک‌گذاری طرح از سه ناحیه متوالی استفاده می‌کند: سه ورودی در $Clock\ 0$، چهار سلول در $Clock\ 1$ و پنج سلول باقی‌مانده، شامل سلول خروجی، در $Clock\ 2$ قرار دارند. بر اساس گزارش *QCADesigner*، ابعاد ناحیه اشغال‌شده گیت ۷۸ × ۱۴۱ نانومتر و مساحت آن ۱۰۹۹۸ نانومتر مربع (حدود ۰.۰۱ میکرومتر مربع) است.



شکل ۱- چیدمان (*Layout*) گیت *XOR* سه‌ورودی ۱۲ سلولی پژوهش پیشین در *QCADesigner* (*Kameli et al., 2025*)

شماتیک منطقی گیت و نمای سلولی آن همراه با نواحی کلاک در شکل ۲ آمده است. خروجی این گیت از رابطه $Out = A \oplus B \oplus C$ پیروی می‌کند؛ یعنی خروجی تنها زمانی در سطح منطقی یک قرار می‌گیرد که تعداد ورودی‌های دارای مقدار یک، فرد باشد. جدول درستی کامل گیت برای هر هشت ترکیب ممکن ورودی در جدول ۱ ارائه شده است.

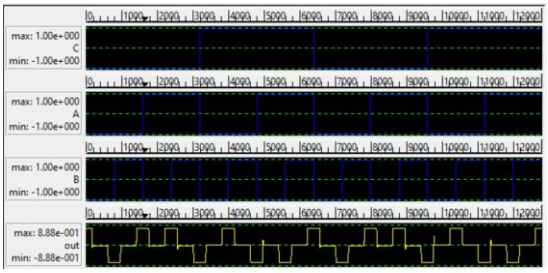


شکل ۲- (*a*) شماتیک منطقی و (*b*) نمای سلولی گیت *XOR* سه‌ورودی همراه با نواحی کلاک و شماره سلول‌ها (*Kameli et al., 2025*)

جدول ۱- جدول درستی گیت *XOR* سه‌ورودی (نگارندگان)

Out	C	B	A
0	0	0	0
1	1	0	0
1	0	1	0
0	1	1	0
1	0	0	1
0	1	0	1
0	0	1	1
1	1	1	1

عملکرد گیت با شبیه‌ساز *QCADesigner* نسخه ۲.۰.۳ بررسی شده است. همان‌طور که در شکل ۳ مشاهده می‌شود، ورودی‌های C، A و B با دوره‌های متفاوت تغییر می‌کنند تا هر هشت ترکیب ورودی پوشش داده شود و خروجی *Out* پس از تأخیری حدود ۰.۵ سیکل کلاک (دو فاز، متناظر با عبور از نواحی *Clock 1* و *Clock 2*)، مطابق با جدول ۱ تغییر می‌کند. بیشینه قطبش خروجی حدود ۰.۸۸۸± است که تفکیک مناسبی میان سطوح منطقی صفر و یک را نشان می‌دهد.



شکل ۳- شکل موج (شکل موج) ورودی‌های *A*، *B*، *C* و خروجی *Out* گیت *XOR* سه‌ورودی در *QCADesigner* (*Kameli et al., 2025*)

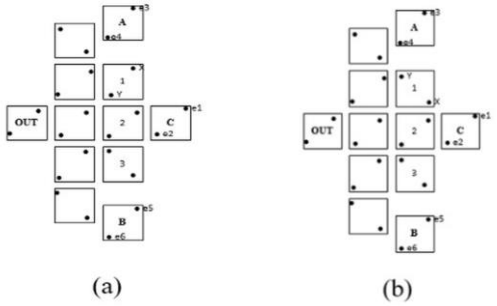
افزون بر شبیه‌سازی، در پژوهش پیشین درستی عملکرد گیت از منظر فیزیکی و بر پایه کمینه‌سازی انرژی پتانسیل الکترواستاتیکی نیز اثبات شده است. در این تحلیل، طول ضلع هر سلول $a = 18\ nm$ و فاصله میان دو سلول مجاور $x = 2\ nm$ در نظر گرفته شد و انرژی پتانسیل میان دو بار الکتریکی از رابطه کولن محاسبه گردید:

$$U = k \cdot q_1 \cdot q_2 / r \qquad (1)$$

که در آن k ثابت کولن، q_1 و q_2 بار الکتریکی دو الکترون و r فاصله میان آن‌هاست؛ با جای‌گذاری مقادیر، حاصل‌ضرب kq_1q_2 برابر $23.04 \times 10^{-29}\ J \cdot m$ به دست می‌آید. انرژی کل وارد بر هر سلول از مجموع انرژی‌های جزئی مطابق رابطه (۲) محاسبه می‌شود و حالتی از قطبش که انرژی کل کمتری دارد، حالت پایدار سلول است:

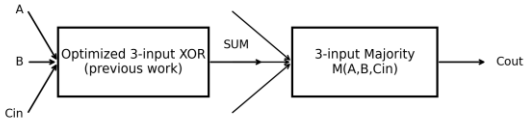
$$U_T = \Sigma_i\ U_i \qquad (2)$$

برای نمونه، به‌ازای ورودی $A = B = C = 1$ و برای سلول ۱ (شکل ۴)، انرژی کل در حالت قطبش یک برابر $6.07 \times 10^{-20}\ J$ و در حالت قطبش صفر برابر $7.28 \times 10^{-20}\ J$ به دست آمد؛ بنابراین قطبش یک برای این سلول پایدارتر است. سپس با در نظر گرفتن ورودی‌های B و C مقدار سلول ۳، و با توجه به مقادیر سلول‌های ۱ و ۳ و ورودی C مقدار سلول ۲ تعیین می‌شود که به سلول خروجی منتقل می‌گردد. سایر ترکیب‌های ورودی نیز به همین روش قابل بررسی هستند (*Kameli et al., 2025*).



شکل ۴- تحلیل فیزیکی سلول ۱ به‌ازای ورودی $A = B = C = 1$: (*a*) قطبش یک و (*b*) قطبش صفر (*Kameli et al., 2025*)

با توجه به ویژگی‌های یادشده، یعنی تعداد سلول اندک، مساحت کوچک، تأخیر حدود ۰.۵ سیکل و پیاده‌سازی تک‌لایه و بدون تقاطع، گیت *XOR* سه‌ورودی مذکور در پژوهش حاضر به‌عنوان هسته اصلی طراحی یک تمام‌جمع‌کننده ۲۳ سلولی به کار گرفته شده است. از آنجا که خروجی *Sum* در تمام‌جمع‌کننده برابر $A \oplus B \oplus Cin$ است، خروجی *XOR3* بدون تغییر ساختار و بدون افزودن زنجیره منطقی اضافی، مستقیماً به‌عنوان *Sum* در نظر گرفته شده و خروجی *Cout* با افزودن یک گیت اکثریت سه‌ورودی تولید می‌شود. تنها دو معکوس‌کننده دو سلولی برای حذف اثر معکوس‌شدن ورودی‌های A و B پیش از ورود به گیت اکثریت (*Majority Gate*) به کار رفته است. دیاگرام بلوکی تمام‌جمع‌کننده پیشنهادی در شکل ۵ نشان داده شده و روابط منطقی و چیدمان نهایی آن در بخش‌های ۴-۲ و ۴-۳ تشریح می‌شود.



شکل ۵- دیاگرام بلوکی تمام‌جمع‌کننده پیشنهادی مبتنی بر *XOR3*، گیت *NOT* ساده و گیت اکثریت (نگارندگان)

۴-۲ روابط منطقی

برای ورودی‌های A، B و Cin، روابط تمام‌جمع‌کننده مطابق روابط (۳) و (۴) است:

$$SUM = A \oplus B \oplus Cin \qquad (3)$$

$$Cout = M(A, B, Cin) = AB + ACin + BCin \qquad (4)$$

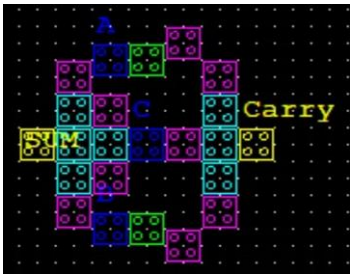
بنابراین مسیر *Sum* از *XOR* سه‌ورودی و مسیر *Carry* از گیت اکثریت سه‌ورودی تشکیل می‌شود. مزیت این تجزیه، استقلال نسبی دو خروجی و کاهش عمق منطقی در مسیر *Carry* است.

۴-۳ مشخصات چیدمان نهایی

فایل نهایی *QCADesigner* شامل ۲۳ سلول است: ۳ سلول ورودی، ۲ سلول خروجی و ۱۸ سلول عادی. توزیع کلاک شامل ۵ سلول در *Clock 0*، ۹ سلول در *Clock 1* و ۹ سلول در *Clock 2* است. هیچ سلول چرخیده یا تقاطع سیم در فایل نهایی به کار نرفته و کل مدار روی *Main Cell Layer* قرار دارد.

در این چیدمان، ورودی A علاوه بر شاخه *XOR*، از طریق یک سلول هم‌خط و سپس دو اتصال دوسلولی متوالی، یعنی یک اتصال افقی با جابه‌جایی نیم‌سلولی و یک اتصال قطری، به ورودی بالایی گیت اکثریت می‌رسد. هر یک از این دو اتصال سیگنال را

معکوس می‌کند و در مجموع، مقدار A بدون تغییر به گیت اکثریت می‌رسد. مسیر B به‌صورت متقارن از پایین به گیت اکثریت متصل است و Cin از طریق یک سلول در $Clock\ 1$ به ورودی سمت چپ آن می‌رسد. سلول مرکزی گیت اکثریت، دو سلول پایانی مسیرهای A و B و سلول خروجی $Carry$ در $Clock\ 2$ قرار دارند.



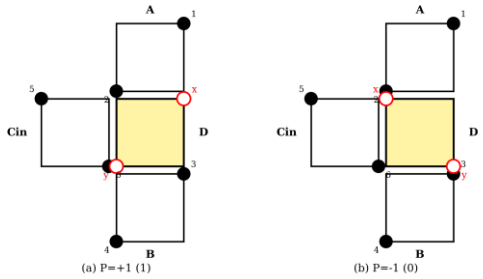
شکل ۶- چیدمان نهایی تمام‌جمع‌کننده ۲۳ سلولی در *QCADesigner* (نگارندگان)

۴-۴ اثبات فیزیکی عملکرد تمام‌جمع‌کننده

درستی مسیر SUM از طریق اثبات فیزیکی گیت XOR سه‌ورودی در بخش ۴-۱ تضمین می‌شود، زیرا این گیت بدون تغییر در طرح به کار رفته است. برای مسیر $Carry$، از روش محاسبه انرژی پتانسیل الکترواستاتیکی که *Farazkish* و همکاران برای اثبات عملکرد گیت‌های QCA به کار برده‌اند استفاده شده است (*Farazkish et al., 2008; Farazkish & Khodaparast, 2010*). در این روش، انرژی پتانسیل میان هر الکترون سلول مورد بررسی و الکترون‌های سلول‌های محرک مجاور با رابطه (۱) و مقدار ثابت $kq_1q_2 = 23.04 \times 10^{-29}\ J{\cdot}m$ محاسبه و با رابطه (۲) جمع زده می‌شود؛ سپس انرژی کل برای دو حالت قطبش ممکن سلول، یعنی $P = +1$ (منطق یک) و $P = -1$ (منطق صفر)، مقایسه می‌شود و حالتی که انرژی کمتری دارد، حالت پایدار سلول است. مانند بخش ۴-۱، طول ضلع سلول‌ها $a = 18\ nm$، فاصله سلول‌های مجاور $x = 2\ nm$ و الکترون‌ها در گوشه‌های سلول در نظر گرفته شده‌اند؛ در حالت $P = +1$ الکترون‌ها در گوشه‌های بالا-راست و پایین-چپ و در حالت $P = -1$ در گوشه‌های بالا-چپ و پایین-راست قرار دارند.

مسیرهای A و B هر یک از دو اتصال دوسلولی تشکیل شده‌اند: یک اتصال افقی با جابه‌جایی نیم‌سلولی و یک اتصال قطری. هر یک از این اتصال‌ها، مشابه معکوس‌کننده دوسلولی مبتنی بر جابه‌جایی سلول‌ها که *Farazkish* و *Khodaparast* (*2010*) ارائه و به روش انرژی اثبات کرده‌اند، سیگنال را معکوس می‌کند؛ بنابراین پس از دو معکوس‌سازی متوالی، مقدار A و B بدون تغییر به ورودی‌های بالا و پایین گیت اکثریت می‌رسد. محاسبه انرژی این دو اتصال با در نظر گرفتن بار خالص نقاط کوانتومی ($\pm e/2$) نیز رفتار معکوس‌کننده هر دو اتصال را تأیید می‌کند و با نتایج شبیه‌سازی بخش ۵ سازگار است.

شکل ۷ سلول مرکزی گیت اکثریت (D) را همراه با سه سلول محرک آن به‌ازای $A = 1$، $B = 1$ و $Cin = 0$ در دو حالت قطبش نشان می‌دهد. الکترون‌های سلول‌های محرک با شماره‌های ۱ تا ۶ و الکترون‌های سلول D با x و y مشخص شده‌اند. فاصله هر الکترون سلول D تا شش الکترون محرک و انرژی متناظر در جدول ۲ آمده است. در حالت (a)، مجموع انرژی الکترون‌های x و y به‌ترتیب $5.59 \times 10^{-20}\ J$ و $16.50 \times 10^{-20}\ J$ و انرژی کل $22.09 \times 10^{-20}\ J$ است، در حالی که در حالت (b) این مقادیر $16.26 \times 10^{-20}\ J$، $15.54 \times 10^{-20}\ J$ و $31.80 \times 10^{-20}\ J$ است. بنابراین حالت (a) با انرژی کمتر پایدارتر است و سلول D و در نتیجه خروجی $Carry$ مقدار منطقی یک را اختیار می‌کنند که با رابطه اکثریت $M(1, 1, 0) = 1$ مطابقت دارد.



شکل ۷- سلول مرکزی گیت اکثریت (*D*) و سلول‌های محرک آن به‌ازای *A = 1*، *B = 1*، *Cin = 0*: (*a*) قطبش *P = +1* و (*b*) قطبش *P = -1* (نگارندگان)

جدول ۲- فاصله الکترون‌ها و انرژی پتانسیل سلول *D* به‌ازای *A = 1*، *B = 1*، *Cin = 0* (نگارندگان)

حالت	الکترون	فاصله تا الکترون‌های ۱ تا ۶ (nm)	U ($\times 10^{-20}$ J)
(a) P=+1	x	20.00, 18.11, 20.00, 42.05, 38.00, 26.91	5.59
(a) P=+1	y	42.05, 20.00, 18.11, 20.00, 26.91, 2.00	16.50
(a)	مجموع	—	22.09
(b) P=-1	x	26.91, 2.00, 26.91, 38.00, 20.00, 18.11	16.26
(b) P=-1	y	38.00, 26.91, 2.00, 26.91, 42.05, 20.00	15.54
(b)	مجموع	—	31.80

این محاسبه برای هر هشت ترکیب ورودی تکرار شد و نتایج در جدول ۳ خلاصه شده است. در همه حالت‌ها، حالت دارای انرژی کمتر همان مقدار مورد انتظار تابع اکثریت است. در ترکیب‌هایی که دو ورودی هم‌مقدار و ورودی سوم مخالف آن‌هاست، اختلاف انرژی دو حالت $9.71 \times 10^{-20} J$ و در ترکیب‌هایی که هر سه ورودی هم‌مقدارند، $29.15 \times 10^{-20} J$ است. در نتیجه، درستی عملکرد مسیر *Carry* از منظر فیزیکی نیز تأیید می‌شود.

جدول ۳- انرژی پتانسیل کل سلول *D* ($\times 10^{-20}$ J) به‌ازای هشت ترکیب ورودی (نگارندگان)

Cout	حالت پایدار	U (P=-1)	U (P=+1)	Cin	B	A
0	P=-1	12.37	41.52	0	0	0
0	P=-1	22.09	31.80	1	0	0
0	P=-1	22.09	31.80	0	1	0
1	P=+1	31.80	22.09	1	1	0
0	P=-1	22.09	31.80	0	0	1
1	P=+1	31.80	22.09	1	0	1
1	P=+1	31.80	22.09	0	1	1
1	P=+1	41.52	12.37	1	1	1

۵- شبیه‌سازی و ارزیابی عملکرد

۵-۱ محیط شبیه‌سازی

طراحی و شبیه‌سازی با نرم‌افزار *QCADesigner* نسخه ۲.۰.۳ (*Walus et al., 2004*) و موتور شبیه‌سازی دوپایا (*Bistable Approximation*) انجام شده است. برای امکان بازتولید نتایج، تنظیمات کامل شبیه‌سازی و مشخصات هندسی سلول‌ها در جدول

۴ آمده است؛ این مقادیر، مقادیر پیش‌فرض نرم‌افزار و مشابه تنظیمات به‌کاررفته در مطالعات مرجع هستند (*Farazkish & Khodaparast, 2010*). ورودی‌ها به‌صورت بردارهای آزمون با دوره‌های متفاوت تعریف شده‌اند تا هر هشت ترکیب ورودی پوشش داده شود و فایل نتایج شامل ۱۲۸۰۰ نمونه و رد سیگنال‌های *C*، *A*، *B*، *SUM* و *Carry* است. خروجی‌ها پس از جبران تأخیر مدار با جدول درستی تمام‌جمع‌کننده (جدول ۵) مقایسه شده‌اند.

جدول ۴- تنظیمات شبیه‌سازی *QCADesigner* و مشخصات سلول‌ها (نگارندگان)

پارامتر	مقدار
موتور شبیه‌سازی	Bistable Approximation
تعداد نمونه‌ها	12800
تلورانس همگرایی	0.001
شعاع اثر	65 nm
ثابت دی‌الکتریک نسبی	12.9
انرژی بالای کلاک (Clock high)	9.8×10^{-22} J
انرژی پایین کلاک (Clock low)	3.8×10^{-23} J
جابه‌جایی کلاک / ضریب دامنه کلاک	0 / 2
فاصله لایه‌ها	11.5 nm
بیشینه تکرار در هر نمونه	100
ترتیب شبیه‌سازی سلول‌ها	(Randomize) تصادفی
ابعاد سلول / قطر نقطه کوانتومی	18 × 18 nm / 5 nm
فاصله مرکز تا مرکز سلول‌ها	20 nm

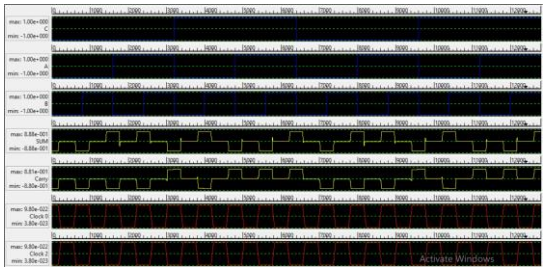
روش محاسبه مساحت و تأخیر: مساحت طرح مطابق روش متداول در مطالعات *QCA*، برابر مساحت کوچک‌ترین مستطیل دربرگیرنده همه سلول‌ها در نظر گرفته شده و با ابزار انتخاب *QCADesigner* اندازه‌گیری شده است؛ ابعاد این مستطیل ۱۷۴ × ۱۵۱ نانومتر و مساحت آن ۲۶۲۷۴ نانومتر مربع (حدود ۰.۰۲۶ میکرومتر مربع) است که نرم‌افزار آن را پس از گرد کردن به‌صورت ۰.۰۳ میکرومتر مربع نمایش می‌دهد (شکل ۹). برای محاسبه تأخیر، عبور سیگنال از هر ناحیه کلاک معادل یک‌چهارم سیکل کلاک در نظر گرفته می‌شود. از آنجا که ورودی‌ها در *Clock 0* و هر دو خروجی در *Clock 2* قرار دارند، سیگنال پس از دو گذر ناحیه کلاک به خروجی می‌رسد و تأخیر مدار ۴/۲، یعنی ۰.۵ سیکل کلاک است. مسیرهای *SUM* و *Carry* از این نظر هم‌طول‌اند و هر دو خروجی هم‌زمان معتبر می‌شوند. برای مقایسه هزینه، حاصل‌ضرب مساحت در تأخیر (*ADP*) نیز محاسبه شده که برای طرح حاضر حدود $0.013\ \mu m^2 \cdot cycle$ است.

جدول ۵- جدول درستی تمام‌جمع‌کننده یک‌بیتی (نگارندگان)

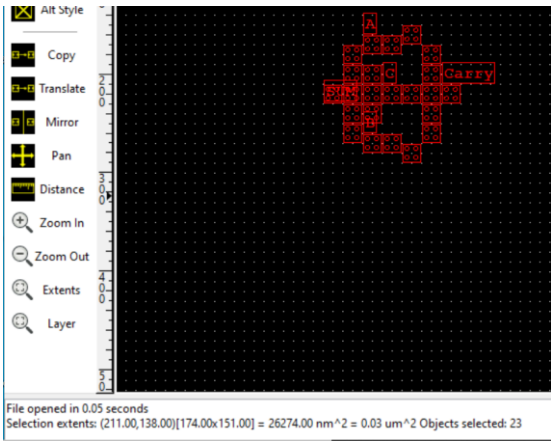
Cout	SUM	Cin	B	A
0	0	0	0	0
0	1	1	0	0
0	1	0	1	0
1	0	1	1	0
0	1	0	0	1
1	0	1	0	1
1	0	0	1	1
1	1	1	1	1

۵-۲ نتایج شکل موج و پایداری قطبش

در شکل موج نهایی، *SUM* الگوی *XOR* سه‌ورودی را دنبال می‌کند و *Cout* نیز تابع اکثریت ورودی‌ها را بازتولید می‌کند. بیشینه دامنه مشاهده‌شده برای *SUM* حدود ± *0.888* و برای *Carry* حدود ± *0.881*است. از آنجا که خروجی‌ها نسبت به ورودی‌ها با تأخیر کلاک ظاهر می‌شوند، مقایسه باید پس از جبران تأخیر انجام شود.



شکل ۸- شکل موج ورودی‌های *A*، *B*، *Cin* و خروجی‌های *SUM* و *Carry* در *QCADesigner* (نگارندگان)



شکل ۹- محاسبه مساحت و تعداد سلول‌های طرح نهایی در *QCADesigner*؛ ۲۳ سلول و *26274 nm²* (نگارندگان)

۶- مقایسه با پژوهش‌های اخیر

برای جلوگیری از ادعای بیش از حد، مقایسه تنها بر معیارهایی انجام شده است که در منابع به‌صورت صریح گزارش شده‌اند. در جدول ۶، طرح حاضر با تمام‌جمع‌کننده‌های جدید سال‌های ۲۰۲۵ و ۲۰۲۶ از نظر نوع ساختار، تعداد سلول، مساحت، تأخیر،

حاصل‌ضرب مساحت در تأخیر (*ADP*) و نوع پیاده‌سازی مقایسه شده است. برای مقایسه با ساختارهای مشابه، طرح *Seyedi* و همکاران (*2026*) که مانند طرح حاضر از ترکیب *XOR* سه‌ورودی و گیت اکثریت استفاده می‌کند نیز در جدول آمده است. جدول ۶ نشان می‌دهد که طرح حاضر از نظر تعداد سلول، مساحت و *ADP* نسبت به برخی ساختارهای تک‌لایه و هم‌صفحه سال‌های ۲۰۲۵ و ۲۰۲۶ فشرده‌تر است، اما رکورد مطلق تعداد سلول یا تأخیر نیست.

جدول ۶- مقایسه طرح پیشنهادی با تمام‌جمع‌کننده‌های منتخب سال‌های ۲۰۲۵ و ۲۰۲۶ (نگارندگان)

مرجع	ساختار	سلول	مساحت (µm²)	تأخیر (سیکل)	ADP	پیاده‌سازی
Majeed (2025)	جمع/تفریق کننده فشرده	14	0.009	0.5	0.0045	تک‌لایه
Abdullah-Al-Shafi (2025)	تک‌لایه با تحلیل انرژی	46	0.04	0.25	0.010	تک‌لایه
Bhuvaneswari & Yuvaraj (2026)	XOR بهینه	36	0.04	0.75	0.030	هم‌صفحه
Seyedi et al. (2026)	XOR۳ + اکثریت	21	0.02	0.5	0.010	سه‌لایه
پژوهش حاضر	XOR۳ + اکثریت	23	0.026	0.5	0.013	تک‌لایه، بدون تقاطع

در مقایسه با طرح هم‌صفحه *Bhuvaneswari* و *Yuvaraj* (*2026*)، تعداد سلول از ۳۶ به ۲۳ (حدود ۳۶.۱ درصد کمتر)، مساحت از ۰.۰۴ به ۰.۰۲۶ میکرومتر مربع (حدود ۳۵ درصد کمتر) و تأخیر از ۰.۷۵ به ۰.۵ سیکل کاهش یافته و *ADP* حدود ۵۷ درصد کمتر است. نسبت به طرح تک‌لایه *Abdullah-Al-Shafi* (*2025*)، طرح حاضر ۵۰ درصد سلول کمتر و حدود ۳۵ درصد مساحت کمتر دارد، اما تأخیر آن بیشتر است (۰.۵ در برابر ۰.۲۵ سیکل) و در نتیجه *ADP* آن حدود ۳۰ درصد بیشتر است.

در مقایسه با طرح دارای ساختار مشابه *Seyedi* و همکاران (*2026*)، تأخیر دو طرح برابر است، اما طرح آن‌ها با ۲۱ سلول، دو سلول کمتر و مساحت کوچک‌تری (۰.۰۲ در برابر ۰.۰۲۶ میکرومتر مربع) دارد؛ در مقابل، آن طرح از ساختار سه‌لایه استفاده می‌کند، در حالی که طرح حاضر تک‌لایه و بدون تقاطع است. طرح *Ahmadpour* و همکاران (*2018*) نیز با معماری مشابه و ۲۰ سلول، تعداد سلول کمتری دارد. طرح *Majeed* (*2025*) از نظر تعداد سلول، مساحت و *ADP* بهتر از طرح حاضر است؛ از این رو ادعای کمینه مطلق برای مقاله حاضر مطرح نمی‌شود و مزیت طرح در ترکیب تک‌لایه بودن، عدم استفاده از تقاطع و سلول چرخیده، قطبش قوی خروجی و استفاده مستقیم از یک *XOR* سه‌ورودی ازپیش‌اعتبارسنجی‌شده است.

۷- بحث

نتایج نشان می‌دهد که بهره‌گیری از *XOR* سه‌ورودی موجود به‌عنوان بلوک *Sum*، امکان ساخت یک تمام‌جمع‌کننده با سربار نسبتاً محدود را فراهم کرده است. در این رویکرد، نوآوری اصلی نه در رابطه بولی *Carry*، بلکه در یکپارچه‌سازی یک *XOR3* ازپیش بهینه‌شده با یک شاخه اکثریت در یک چیدمان تک‌لایه و بدون تقاطع سیم است. تجربه طراحی نیز نشان داد که درستی توپولوژی اکثریت به‌تنهایی کافی نیست و تخصیص نواحی کلاک و هم‌زمانی رسیدن ورودی‌ها نقش تعیین‌کننده در پایداری *Cout* دارد.

تک‌لایه بودن طرح پیامدهای عملی مهمی دارد. در ساختارهای چندلایه، سیگنال باید از طریق سلول‌های عمودی میان لایه‌ها منتقل شود که علاوه بر افزایش مراحل ساخت، به هم‌ترازی دقیق لایه‌ها نیاز دارد و خطای هم‌ترازی می‌تواند قطبش را تضعیف کند. طرح حاضر به‌طور کامل روی یک لایه قرار دارد و تنها از سلول‌های معمولی یکسان استفاده می‌کند؛ هزینه این انتخاب، دو سلول و حدود ۰.۰۰۶ میکرومتر مربع مساحت بیشتر نسبت به طرح سه‌لایه *Seyedi* و همکاران (*2026*) است.

حذف تقاطع سیم نیز از دو جهت اهمیت دارد. تقاطع هم‌صفحه به سلول‌های چرخیده یا تخصیص کلاک غیرمجاور نیاز دارد که هر دو به نقص‌های ساخت و نوسانات محیطی حساس‌اند و تقاطع چندلایه نیز همان دشواری‌های ساختارهای چندلایه را دارد. در طرح حاضر، با قرار دادن ورودی‌های A و B در بالا و پایین و ورودی Cin در میانه چیدمان، مسیرهای SUM و $Carry$ بدون عبور از یکدیگر به خروجی‌ها می‌رسند.

تخصیص نواحی کلاک در پایداری $Cout$ نقش تعیین‌کننده دارد. سه ورودی گیت اکثریت، یعنی دو سلول پایانی مسیرهای A و B در $Clock\ 2$ و سلول مسیر Cin در $Clock\ 1$، باید پیش از قفل‌شدن سلول مرکزی به حالت پایدار رسیده باشند. با تخصیص یکسان $Clock\ 2$ به دو سلول پایانی مسیرهای A و B و سلول مرکزی، این سلول‌ها هم‌زمان وارد فاز $Switch$ می‌شوند و اثر سه ورودی بر سلول مرکزی متوازن باقی می‌ماند. شبیه‌سازی‌های انجام‌شده در فرایند طراحی نشان داد که جابه‌جایی نواحی کلاک در شاخه اکثریت می‌تواند سبب ناپایداری $Cout$ شود؛ از این رو تخصیص فعلی حاصل تنظیم و تأیید با شبیه‌سازی است.

از نظر پایداری سیگنال، بیشینه قطبش خروجی‌ها (حدود ۰.۸۸۸ و ۰.۸۸۱) در محدوده خروجی‌های با قطبش قوی قرار دارد؛ برای نمونه، *Farazkish* و *Khodaparast* (*2010*) قطبش حدود ۰.۹ را برای معکوس‌کننده دوسلولی خود قطبش قوی و قطبش حدود ۰.۶ معکوس‌کننده متعارف را قطبش ضعیف گزارش کرده‌اند. قطبش قوی خروجی، هدایت مطمئن طبقات بعدی را در ساختارهای چندبیتی آسان‌تر می‌کند. هم‌خوانی نتایج شبیه‌سازی با اثبات فیزیکی بخش ۴-۴ نیز نشان می‌دهد که عملکرد صحیح مدار به تنظیمات خاص نرم‌افزار وابسته نیست و از برهم‌کنش الکترواستاتیکی سلول‌ها ناشی می‌شود.

۷-۱ محدودیت‌های پژوهش

نتایج این پژوهش را باید با توجه به محدودیت‌های زیر تفسیر کرد: (۱) تحلیل اتلاف انرژی با $QCADesigner\text{-}E$ یا $QCAPro$ انجام نشده و مقایسه انرژی با طرح‌های دیگر ممکن نیست؛ (۲) تحمل‌پذیری خطا در برابر حذف، جابه‌جایی یا افزودن سلول و اثر تغییرات دما بررسی نشده است؛ (۳) نتایج تنها با موتور دوپایا به دست آمده و شبیه‌سازی با موتور $Coherence\ Vector$ انجام نشده است؛ (۴) اثبات فیزیکی بر مدل ساده‌شده برهم‌کنش الکترواستاتیکی الکترون‌های سلول‌های مجاور مبتنی است و اثر سلول‌های دورتر را در نظر نمی‌گیرد؛ (۵) طرح در ساختارهای چندبیتی مانند جمع‌کننده ریپل‌کری پیاده‌سازی نشده است؛ و (۶) طرح از نظر تعداد سلول و مساحت کمینه مطلق نیست و برخی طرح‌های چندلایه یا ویژه، سلول یا تأخیر کمتری دارند. بنابراین نتایج کنونی عمدتاً بر درستی منطقی و فیزیکی، فشردگی، تک‌لایه بودن، عدم استفاده از تقاطع و قطبش خروجی تمرکز دارند.

۸- نتیجه‌گیری

در این پژوهش یک تمام‌جمع‌کننده یک‌بیتی QCA با توسعه مستقیم گیت XOR سه‌ورودی ۱۲ سلولی پژوهش پیشین نگارندگان ارائه شد. ساختار XOR برای تولید SUM بدون تغییر حفظ شد و $Carry$ با یک گیت اکثریت سه‌ورودی که ورودی‌های آن از طریق اتصال‌های معکوس‌کننده دوسلولی تغذیه می‌شوند، تولید شد. طرح نهایی دارای ۲۳ سلول متداول، مساحت ۰.۰۲۶ میکرومتر مربع، تأخیر ۰.۵ سیکل کلاک و ساختار تک‌لایه و بدون سلول چرخیده و تقاطع سیم است. شبیه‌سازی در $QCADesigner$ صحت عملکرد منطقی را با قطبش خروجی حدود ۰.۸۸۸± برای SUM و ۰.۸۸۱± برای $Carry$ تأیید کرد و اثبات فیزیکی به روش محاسبه انرژی پتانسیل نشان داد که سلول مرکزی گیت اکثریت به‌ازای هر هشت ترکیب ورودی در حالت درست پایدار می‌شود. مقایسه با مطالعات سال‌های ۲۰۲۵ و ۲۰۲۶ نشان داد که طرح حاضر در برابر چند طرح تک‌لایه و هم‌صفحه جدید از نظر تعداد سلول، مساحت و ADP رقابت می‌کند، هرچند برخی طرح‌های چندلایه یا ویژه، سلول یا تأخیر کمتری دارند. سهم اصلی این پژوهش، ارائه یک توسعه عملی، فشرده و ساده‌ساخت از $XOR3$ پیشین به یک تمام‌جمع‌کننده کامل است که می‌تواند به‌عنوان بلوک پایه پردازنده‌های کم‌مصرف در سامانه‌های پایش و کنترل زیرساخت‌های حیاتی به کار رود. تحلیل اتلاف انرژی، بررسی تحمل‌پذیری خطا، شبیه‌سازی با موتور $Coherence\ Vector$ و پیاده‌سازی جمع‌کننده‌های چندبیتی، مهم‌ترین مسیرهای ادامه این پژوهش هستند.

تعارض منافع

نویسندگان اعلام می‌کنند که در ارتباط با این پژوهش تعارض منافع وجود ندارد.

حمایت مالی

این پژوهش بدون حمایت مالی اختصاصی انجام شده است.

مشارکت نویسندگان

طراحی مفهومی، شبیه‌سازی، تحلیل نتایج و نگارش مقاله با مشارکت نویسندگان انجام شده و همه نویسندگان نسخه نهایی را تأیید کرده‌اند.

سیاهه نمادها

نمادهای به‌کاررفته در روابط و متن مقاله همراه با واحد آن‌ها در جدول ۷ آورده شده است.

جدول ۷- سیاهه نمادها (نگارندگان)

نماد	واحد	شرح
U	J	انرژی پتانسیل الکتریکی میان دو بار
U_T	J	انرژی پتانسیل کل وارد بر یک سلول
k	$N\cdot m^2/C^2$	ثابت کولن
q_1، q_2	C	بار الکتریکی الکترون‌ها
r	m	فاصله میان دو بار الکتریکی
a	nm	طول ضلع سلول QCA
x	nm	فاصله میان دو سلول مجاور
P	—	قطبش سلول (+۱ یا −۱)
A، B، Cin،	—	ورودی‌های گیت و تمام‌جمع‌کننده
SUM، Cout	—	خروجی جمع و خروجی رقم نقلی
M(·)	—	تابع اکثریت سه‌ورودی
ADP	$\mu m^2\cdot cycle$	حاصل‌ضرب مساحت در تأخیر

منابع

Abdullah-Al-Shafi, M. (2025). Compact and energy-efficient QCA architectures for full adder and carry-save adder: Single-layer designs optimised for nanoscale circuits. *Discover Applied Sciences*, *7*, 1308. https://doi.org/10.1007/s42452-025-07827-z

Afrooz, S., & Navimipour, N. J. (2021). An effective nano design of demultiplexer architecture based on coplanar quantum-dot cellular automata. *IET Circuits, Devices & Systems*, *15*(2), 168–174. https://doi.org/10.1049/cds2.12019

Ahmadpour, S.-S., Mosleh, M., & Heikalabad, S. R. (2018). A revolution in nanostructure designs by proposing a novel QCA full-adder based on optimized 3-input XOR. *Physica B: Condensed Matter*, *550*, 383–392. https://doi.org/10.1016/j.physb.2018.09.029

Alkaldy, E., Majeed, A. H., Zainal, M. S., & Nor, D. M. (2020). Optimum multiplexer design in quantum-dot cellular automata. *Indonesian Journal of Electrical Engineering and Computer Science*, *17*(1), 148–155. https://doi.org/10.11591/ijeecs.v17.i1.pp148-155

Bahar, A. N., Waheed, S., Hossain, N., & Asaduzzaman, M. (2018). A novel 3-input XOR function implementation in quantum dot-cellular automata with energy dissipation analysis. *Alexandria Engineering Journal*, *57*(2), 729–738.

Balali, M., Rezai, A., Balali, H., Rabiei, F., & Emadi, S. (2017). Towards coplanar quantum-dot cellular automata adders based on efficient three-input XOR gate. *Results in Physics*, *7*, 1389–1395. https://doi.org/10.1016/j.rinp.2017.04.005

Begum, A. Y., Balaji, M., & Satyanarayana, V. (2022). Quantum dot cellular automata using a one-bit comparator for QCA gates. *Materials Today: Proceedings*, *66*, 3539–3546.

Bhuvaneswari, V., & Yuvaraj, S. (2024). *Enhanced QCA design: Innovative XOR gate and optimized circuits for binary to Gray code conversion and Vedic multiplication* [Preprint]. Research Square. https://doi.org/10.21203/rs.3.rs-3857127/v1

Bhuvaneswari, V., & Yuvaraj, S. (2026). Compact and high-performance QCA-based adder design using an optimized XOR logic structure. *Tehnički vjesnik*, *33*(1), 143–149. https://doi.org/10.17559/TV-20250406002559

Bitarafan, M., Amini Hosseini, K., Hashemkhani Zolfani, S., & Ziari, K. (2026). Evaluating earthquake resilience in urban areas: A novel fuzzy RANCOM approach. *Environment, Development and Sustainability*, *28*(1), 2483–2520. https://doi.org/10.1007/s10668-025-06393-z

Bitarafan, M., & Nemati, A. (2026). Constructed urban infrastructure safety prediction under explosive effects using hybrid explainable ML approaches. *Structures*, *84*, 110928. https://doi.org/10.1016/j.istruc.2025.110928

Chetti, S. C., & Yatgal, O. (2022). QCA: A survey and design of logic circuits. *Global Transitions Proceedings*, *3*(1), 142–148. https://doi.org/10.1016/j.gltp.2022.04.012

Chugh, H., & Singh, S. (2024). Efficient quantum-dot adder optimisation and analysis for future circuits. *International Journal of Electronics*, *112*(9), 2006–2026. https://doi.org/10.1080/00207217.2024.2408799

Danehdaran, F., Angizi, S., Bagherian Khosroshahy, M., Navi, K., & Bagherzadeh, N. (2021). A combined three and five inputs majority gate-based high performance coplanar full adder in quantum-dot cellular automata. *International Journal of Information Technology*, *13*(3), 1165–1177. https://doi.org/10.1007/s41870-019-00365-z

Darbandi, M., Seyedi, S., & Al-Khafaji, H. M. R. (2024). An efficient new design of nano-scale comparator circuits using quantum-dot technology. *Heliyon*, *10*(18), e36933. https://doi.org/10.1016/j.heliyon.2024.e36933

Das, S. S. (2020). Design of efficient adders and subtractors based on quantum dot cellular automata (QCA). *International Journal for Research in Applied Science and Engineering Technology*, *8*(5), 2562–2571.

Farazkish, R. (2015). A new quantum-dot cellular automata fault-tolerant full-adder. *Journal of Computational Electronics*, *14*(2), 506–514.

Farazkish, R. (2017a). Fault-tolerant adder design in quantum-dot cellular automata. *International Journal of Nano Dimension*, *8*(1), 40–48. https://doi.org/10.22034/ijnd.2017.24375

Farazkish, R. (2017b). New fault-tolerant majority gate for quantum dots cellular automata. *Signal Processing and Renewable Energy*, *1*(1), 55–60.

Farazkish, R. (2018a). New approach to decreasing the number of quantum dot cells in QCA inverter. *Signal Processing and Renewable Energy*, *2*(2), 31–35.

Farazkish, R. (2018b). Novel efficient fault-tolerant full-adder for quantum-dot cellular automata. *International Journal of Nano Dimension*, *9*(1), 58–67.

Farazkish, R., & Khodaparast, F. (2010). Design and characterization of a novel inverter for nanoelectronic circuits. Proceedings of the International Conference on Nanotechnology: Fundamentals and Applications, Ottawa, Canada, Paper 219.

Farazkish, R., & Navi, K. (2012). New efficient five-input majority gate for quantum-dot cellular automata. *Journal of Nanoparticle Research*, *14*(11), 1252. https://doi.org/10.1007/s11051-012-1252-3

Farazkish, R., Rahimi Azghadi, M., Navi, K., & Haghparast, M. (2008). New method for decreasing the number of quantum dot cells in QCA circuits. *World Applied Sciences Journal*, *4*(6), 793–802.

Farazkish, R., & Zarei, M. (2020). Fault-tolerant techniques for quantum-dot cellular automata circuits and systems. *Signal Processing and Renewable Energy*, *4*(1), 23–36.

Hafeez, T., Bilal, B., & Malik, B. A. (2025). Optimization of fast adders in quantum dot cellular automata nanotechnology. *Journal of The Institution of Engineers (India): Series B*, *107*(1), 269–281. https://doi.org/10.1007/s40031-025-01235-y

Hashemi, S., Tehrani, M. H., & Navi, K. (2012). An efficient quantum-dot cellular automata full-adder. *Scientific Research and Essays*, *7*(2), 177–189.

Ibtasaum, V., & Savadi, A. (2022). A novel design of full adder using efficient MUX in QCA. *International Journal of Scientific Research in Science and Technology*, *9*(4), 279–283.

Jana, S., Chakrabarti, K., & Sarkar, A. (2020). Optimization of effective area of 3-inputs XOR gate using QCA simulation. *Journal of Critical Reviews*, *7*(6), 2816–2823. https://doi.org/10.31838/jcr.07.06.528

Jasmin, S., & Ajita, D. (2023). Area efficient nano approximate adder using QCA Designer. *ESP International Journal of Communication Engineering & Electronics Technology*, *1*(3), 23–33.

Joy, U. B., Chakraborty, S., Islam, S., Zaman, H. U., & Hasan, M. (2023). Quantum-dot cellular automata-based full adder design: Comprehensive review and performance comparison. *Advances in Materials Science and Engineering*, *2023*, 6784413. https://doi.org/10.1155/2023/6784413

Kameli, A., Rafiei Nazari, R., & Farazkish, R. (2025). Designing an optimized circuit based on QCA using a three-input XOR gate. *The First National Conference on Artificial Intelligence and Emerging Research: Convergence of Humans and Intelligent Systems*, Tehran, Iran.

Kavitha, S. S., & Kaulgud, N. (2017, December 15–16). Quantum dot cellular automata (QCA) design for the realization of basic logic gates. *2017 International Conference on Electrical, Electronics, Communication, Computer, and Optimization Techniques (ICEECCOT)*, Mysuru, India, 314–317. https://doi.org/10.1109/ICEECCOT.2017.8284519

Kishore, P., & Punyalaxmi, G. (2023). Design of shift registers using majority logic based QCA technology. *ZKG International*, *8*(1).

Kumar, Ch., Teja, S., Prathyusha, S., Teja, R., & Yaswanth, V. (2023). QCA design of full adder and full subtractor using XOR gate. *Journal of Data Acquisition and Processing*, *38.*

Lent, C. S., & Tougaw, P. D. (1997). A device architecture for computing with quantum dots. *Proceedings of the IEEE*, *85*(4), 541–557. https://doi.org/10.1109/5.573740

Majeed, A. H. (2025). A compact and power efficient full adder-subtractor layout in QCA technology. *PLOS ONE*, *20*(11), e0335789. https://doi.org/10.1371/journal.pone.0335789

Mehta, U., & Dhare, V. (2017). *Quantum-dot cellular automata (QCA): A survey*. arXiv:1711.08153.

Moosavi, N., Navi, K., & Aghazarian, V. (2020). Ultra-low cost full adder cell using the nonlinear effect in four-input quantum dot cellular automata majority gate. *International Journal of Nonlinear Analysis and Applications*, *11*(2), 1–16. https://doi.org/10.22075/ijnaa.2020.19577.2088

Navaneetha Velammal, M., Hannah Blessy, P., Friska, J., & Rajeshwari, A. (2021). A novel coplanar based adder logic design using QCA. *Journal of Physics: Conference Series*, *1979*(1), 012052. https://doi.org/10.1088/1742-6596/1979/1/012052

Navi, K., Farazkish, R., Sayedsalehi, S., & Rahimi Azghadi, M. (2010a). A new quantum-dot cellular automata full-adder. *Microelectronics Journal*, *41*(12), 820–826.

Navi, K., Sayedsalehi, S., Farazkish, R., & Rahimi Azghadi, M. (2010b). Five-input majority gate, a new device for quantum-dot cellular automata. *Journal of Computational and Theoretical Nanoscience*, *7*(8), 1546–1553.

Nemati, A. R, & Mikaeili, O. R, & Bitarafan, M, & Lale Arefi, Sh. (2026). Material selection for multi-hazard resilient buildings using an uncertainty-aware, interpretable decision-support framework. Journal of Building Engineering, 117247. https://doi.org/10.1016/j.jobe.2026.117247

Niranjan, T., Nayak, A., Veeramachaneni, S., & Ahmed, S. E. (2025). Design of a low-delay 4-bit parallel prefix adder using QCA technology. *Scientific Reports*, *15*, 20841. https://doi.org/10.1038/s41598-025-04742-6

Patidar, N., & Gupta, N. (2020). An efficient layout of single-layer full adder using QCA. In M. Pant, T. K. Sharma, R. Arya, B. C. Sahana, & H. Zolfagharinia (Eds.), *Soft Computing: Theories and Applications: Proceedings of SoCTA 2019* (pp. 165–172). Singapore: Springer. https://doi.org/10.1007/978-981-15-4032-5_17

Rahimi Azghadi, M., Kavehei, O., & Navi, K. (2007). A novel design for quantum-dot cellular automata cells and full adders. *Journal of Applied Sciences*, *7*(22), 3460–3468.

Reshi, J. I., Banday, M. T., & Khanday, F. A. (2025). Modelling of novel ultra-efficient single layer nano-scale adder-subtractor in QCA nanotechnology. *Nano Communication Networks*, *43*, 100564. https://doi.org/10.1016/j.nancom.2025.100564

Rezaei, F., & Omidi, R. (2022). *A novel single layer full-adder in quantum-dot cellular automata (QCA)* [Preprint]. Research Square. https://doi.org/10.21203/rs.3.rs-1893863/v1

Riki, S., Hassani, F. S., & Zanial, M. (2022). A robust single layer QCA decoder using a novel fault-tolerant three-input majority gate. *Journal of Optoelectronical Nanostructures*, *7*(3), 23–45.

Safaiezadeh, B., Haghparast, M., & Kettunen, L. (2023). *Novel efficient scalable QCA XOR and full adder designs* [Preprint]. arXiv. https://doi.org/10.48550/arXiv.2302.13946

Safaiezadeh, B., Mahdipour, E., Haghparast, M., Sayedsalehi, S., & Hosseinzadeh, M. (2021). Design and simulation of efficient combinational circuits based on a new XOR structure in QCA technology. *Optical and Quantum Electronics*, *53*, 684. https://doi.org/10.1007/s11082-021-03294-z

Salih, B. A., Majeed, A. H., & Aldhalemi, A. A. (2022). Designing of a dual-functional XOR block in QCA technology. *Open Engineering*, *12*(1), 844–849. https://doi.org/10.1515/eng-2022-0374

Sasamal, T. N., Singh, A. K., & Mohan, A. (2018). An efficient design of quantum-dot cellular automata based 5-input majority gate with power analysis. *Microprocessors and Microsystems*, *59*, 103–117. https://doi.org/10.1016/j.micpro.2018.03.002

Sayedsalehi, S., Moaiyeri, M. H., & Navi, K. (2011). Novel efficient adder circuits for quantum-dot cellular automata. *Journal of Computational and Theoretical Nanoscience*, *8*(9), 1769–1775.

Seyedi, S., Ghaffari, A., & Abdoli, H. (2026). Nanotechnology-based full-adder design with three-input majority and XOR gates using quantum-dots technology. Scientific Reports. https://doi.org/10.1038/s41598-026-69227-6

Sharma, V. K. (2023). Single-bit digital comparator circuit design using quantum-dot cellular automata nanotechnology. *ETRI Journal*, *45*(3), 534–542.

Sharma, V. K. (2025a). Unique 3-input XOR gate for nanocomputation in QCA nanotechnology. *Journal of Electrical Engineering*, *76*(5), 450–460. https://doi.org/10.2478/jee-2025-0047

Sharma, V. K. (2025b). XOR gate design in QCA nanotechnology using cell translation method. *Discover Electronics*, *2*, 87. https://doi.org/10.1007/s44291-025-00129-z

Singh, G., Raj, B., & Sarin, R. K. (2017). Design and performance analysis of a new efficient coplanar quantum-dot cellular automata adder. *Indian Journal of Pure & Applied Physics*, *55*, 97–103.

Tougaw, P. D., & Lent, C. S. (1994). Logical devices implemented using quantum cellular automata. *Journal of Applied Physics*, *75*(3), 1818–1825. https://doi.org/10.1063/1.356375

Vahabi, M., Bahar, A. N., Otsuki, A., & Wahid, K. A. (2022). Ultra-low-cost design of ripple carry adder to design nanoelectronics in QCA nanotechnology. *Electronics*, *11*(15), 2320. https://doi.org/10.3390/electronics11152320

Vahabi, M., Lyakhov, P., & Bahar, A. N. (2021a). Design and implementation of novel efficient full adder/subtractor circuits based on quantum-dot cellular automata technology. *Applied Sciences*, *11*(18), 8717. https://doi.org/10.3390/app11188717

Vahabi, M., Lyakhov, P., Bahar, A. N., & Wahid, K. A. (2021b). Design and implementation of new coplanar FA circuits without NOT gate and based on quantum-dot cellular automata technology. *Applied Sciences*, *11*(24), 12157. https://doi.org/10.3390/app112412157

Walus, K., Dysart, T. J., Jullien, G. A., & Budiman, R. A. (2004). QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata. *IEEE Transactions on Nanotechnology*, *3*(1), 26–31. https://doi.org/10.1109/TNANO.2003.820815